

Note: plusieurs versions de l'énoncé avaient été distribuées à l'examen, comportant de petites différences afin de décourager la fraude; ce corrigé n'en reprend qu'une, les réponses aux autres variantes étant cependant complètement analogues.

Questions de cours

1. Lorsqu'un circuit logique est réalisé sous forme d'un circuit électronique, il faut tenir compte des limitations des portes logiques réelles par rapport aux portes idéales pour lesquelles le circuit a été conçu. Donnez quelques exemples de propriétés des composants qui peuvent conduire à un écart de comportement entre le circuit électronique et son schéma théorique idéalisé. Expliquez, pour chaque exemple que vous donnez, de quelle manière cela peut provoquer des dysfonctionnements du circuit. (2 points)

Temps de propagation fini à travers les portes Tant que le signal d'entrée ne s'est pas encore propagé à travers toutes les portes, les sorties d'un circuit combinatoire peuvent transitoirement prendre des valeurs qui ne correspondent pas à la fonction logique. Dans un circuit séquentiel il est de surcroît possible que le circuit évolue vers un état stable non prévu par le graphe de fluence, si l'état interne n'est pas mis à jour de manière synchrone.

Sensibilité au bruit Les niveaux logiques sont représentés par une grandeur continue (par exemple une tension électrique), même si le circuit n'en utilise que les valeurs extrêmes (tout-ou-rien). Du bruit sur cette grandeur peut conduire à un changement du niveau logique.

Entrance/sortance finie Une sortie reliée à trop d'entrées peu subir une charge telle que l'amplificateur en sortie de la porte amont n'est plus capable de maintenir le signal (la tension, dans les cas les plus courants: TTL, CMOS, ...) dans les intervalles correspondant à des niveaux logiques bien définis. Par conséquent le comportement du circuit n'est plus défini.

Correspondance signal \leftrightarrow niveau logique dépend du composant La traduction d'un niveau logique en un signal (et vice-versa) est une affaire de convention arbitraire. C'est le fabricant d'un composant qui décide et indique dans la spécification dans quelle fourchette doit se situer un signal pour correspondre à tel niveau logique. Tout se passe normalement bien si on se limite à une famille de circuits comme le TTL, mais en interfaçant sans prendre les précautions nécessaires, deux technologies différentes comme le TTL et le CMOS, une information logique présentée par un composant peut être mal interprétée par un autre.

2. Expliquez le fonctionnement d'un circuit Schmitt-trigger à l'entrée d'une porte logique, et en particulier le rôle des deux seuils S_{IH} et S_{IL} qui le caractérisent. (1 point)

Un circuit Schmitt-trigger bascule entre deux états H et L , mais le seuil de transition n'est pas le même pour le passage $H \rightarrow L$ et $L \rightarrow H$. Le seuil S_{IH} pour

Examen d'électronique numérique, EIDD (Adrian Daerr) — corrigé

mardi 10 janvier 2017, 12h-15h

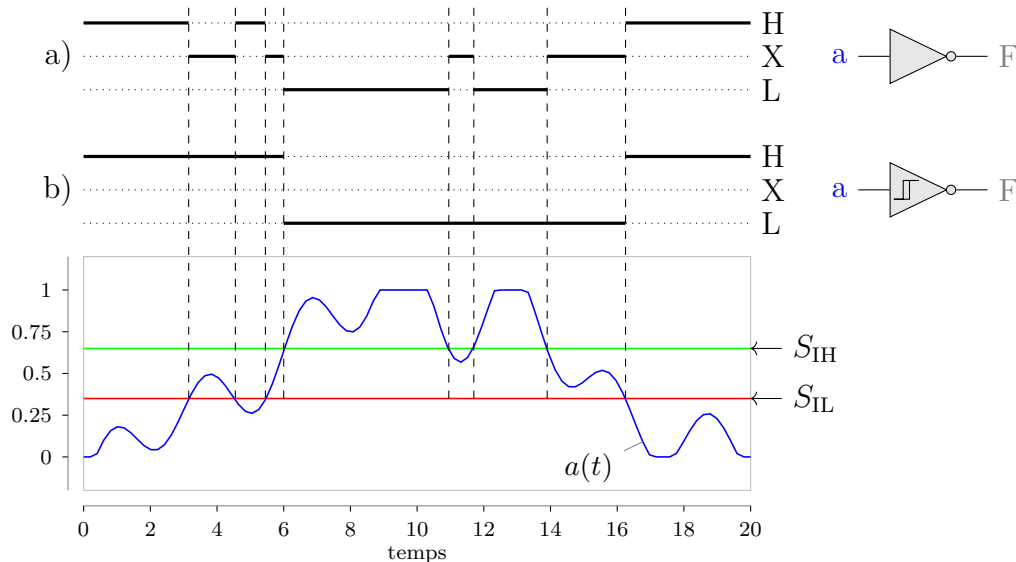
le basculement $L \rightarrow H$ étant plus élevé que le seuil S_{IL} pour revenir à l'état L , le Schmitt-trigger exhibe une hystérèse qui rend sa sortie robuste aux petites fluctuations (inférieures à $S_{IH} - S_{IL}$) de l'entrée.

3. On voudrait prédire le signal de sortie d'un inverseur dont l'entrée reçoit un signal bruité $a(t)$ comme celui représenté ci-dessous:

On considère deux types d'inverseurs:

- Un inverseur qui interprète un signal en entrée dans l'intervalle $[0 : S_{IL}]$ comme entrée logique L , un signal en entrée dans l'intervalle $[S_{IH} : 1]$ comme entrée logique H . Le niveau logique associé à un signal entre S_{IL} et S_{IH} est indéfini (X).
- Un inverseur muni en entrée d'un circuit Schmitt-trigger, dont les seuils de basculement sont S_{IL} et S_{IH} .

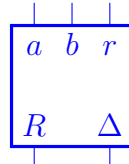
Tracez les chronogrammes de l'état *de sortie* des deux inverseurs au-dessus du graphe montrant le signal en entrée $a(t)$ et les deux seuils S_{IL} et S_{IH} .



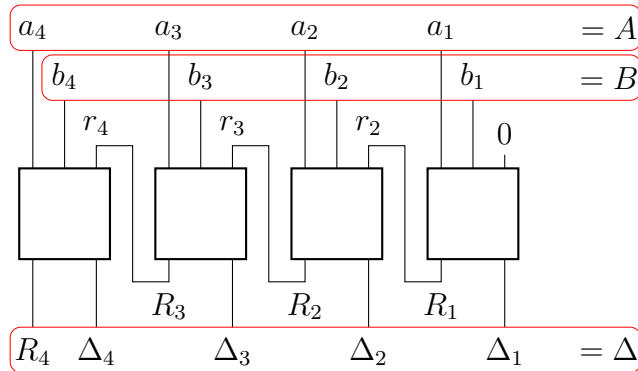
4. a) Rappeler le tableau de vérité d'un soustracteur élémentaire prenant deux bits (a, b) et une retenue r en entrée, et affichant en sortie la différence $\Delta = a - b - r$ et la retenue R à reporter.

r	a	b	Δ	R
0	0	0	0	0
0	0	1	1	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	0	1
1	1	0	0	0
1	1	1	1	1

4. b) À partir d'un tel soustracteur élémentaire, qu'on représentera par le symbole suivant:



dessiner le schéma d'un soustracteur de deux mots de 4 bits.

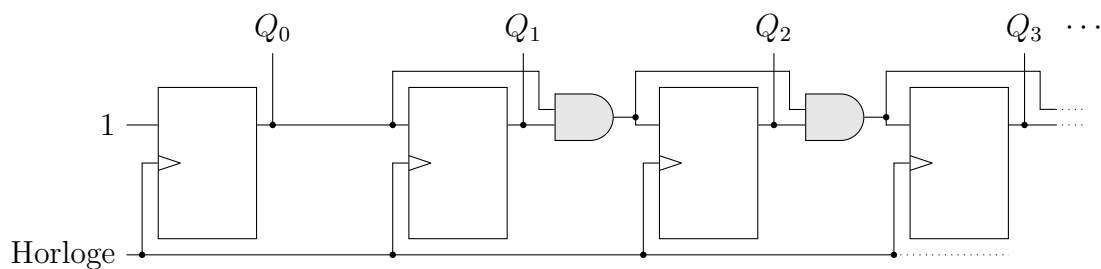


Les deux mots à soustraire ont pour représentation binaire $a_4a_3a_2a_1$ et $b_4b_3b_2b_1$, où a_1 et b_1 sont les bits de poids le plus faible. Il n'y a pas de retenue en entrée du soustracteur de ce premier bit, l'entrée r_1 est donc fixée à 0. La différence $\Delta = A - B$ est négative si R_4 vaut 1 (et dans ce cas $R_4\Delta_4\Delta_3\Delta_2\Delta_1$ est la représentation de ce résultat en complément à 2).

Compteur synchrone BCD

On souhaite réaliser un compteur synchrone en code BCD à l'aide de quatre bascules T et de portes logiques.

5. [Question de cours] Comment peut-on facilement construire un compteur binaire synchrone sur n bits avec n bascules T ? (1 point)



Le branchement recherché dans cet exercice est un peu plus compliqué, puisqu'il doit faire en sorte que le compteur bascule vers zéro après l'état «9». L'idée est de faire en sorte que les entrées $T_D T_C T_B T_A$ des bascules valent 1 exactement lorsque le chiffre binaire $Q_i, i \in \{D, C, B, A\}$ correspondant doit changer au prochain front d'horloge.

Examen d'électronique numérique, EIDD (Adrian Daerr) — corrigé

mardi 10 janvier 2017, 12h-15h

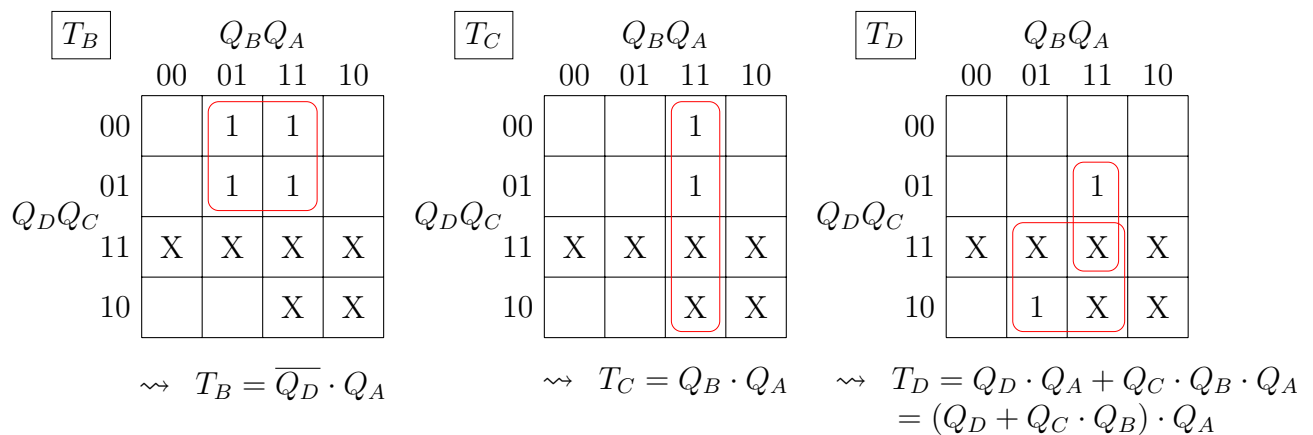
6. Construisez un tableau de vérité donnant les nouvelles valeurs $Q'_D Q'_C Q'_B Q'_A$ du compteur en fonction des anciennes. Marquez dans chaque ligne d'une étoile les chiffres $Q_i, i \in \{D, C, B, A\}$ qui changent (Q'_i est différent de Q_i). Ces étoiles indiquent que le T_i correspondant doit valoir 1 dans cet état. Ajouter quatre colonnes pour les T_i et noter leurs valeurs. (1 point)

Les Q'_i correspondent au nouvel état du compteur, donc à la ligne suivante dans le tableau du code BCD, sauf pour l'état 9 dont le successeur est l'état 0 (première ligne).

état	$Q_D Q_C Q_B Q_A$	état'	$Q'_D Q'_C Q'_B Q'_A$	$T_D T_C T_B T_A$
0	0 0 0 0*	1	0 0 0 1	0 0 0 1
1	0 0 0* 1*	2	0 0 1 0	0 0 1 1
2	0 0 1 0*	3	0 0 1 1	0 0 0 1
3	0 0* 1* 1*	4	0 1 0 0	0 1 1 1
4	0 1 0 0*	5	0 1 0 1	0 0 0 1
5	0 1 0* 1*	6	0 1 1 0	0 0 1 1
6	0 1 1 0*	7	0 1 1 1	0 0 0 1
7	0* 1* 1* 1*	8	1 0 0 0	1 1 1 1
8	1 0 0 0*	9	1 0 0 1	0 0 0 1
9	1* 0 0 1*	0	0 0 0 0	1 0 0 1

7. Que peut-on dire de T_A ? Trouver des expressions logiques simplifiées pour les trois autres T_D, T_C, T_B à l'aide de diagrammes de Karnaugh. Montrer par exemple que $T_C = Q_B \cdot Q_A$. (2 points)

T_A vaut toujours 1, car le bit de poids faible bascule à chaque incrément du compteur. Pour les trois autres fonctions T_i , on peut dessiner les diagrammes suivants, sachant qu'elles peuvent prendre une valeur quelconque (X) pour des entrées non BCD.



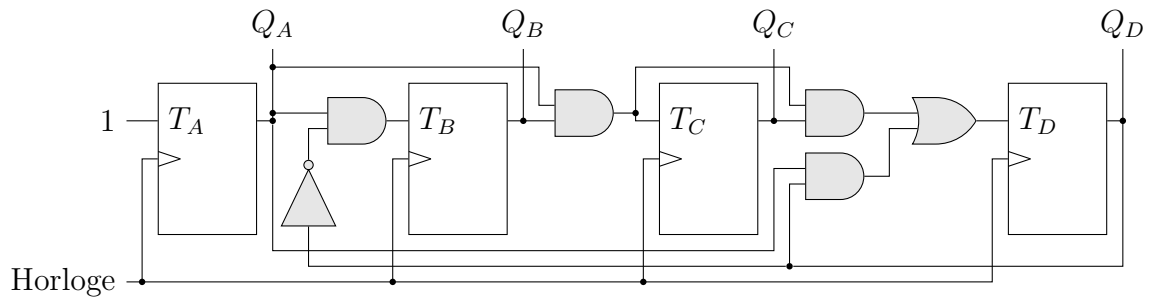
Les regroupements indiqués par les rectangles rouges conduisent aux expressions logiques simplifiées indiquées sous les diagrammes.

8. Dessinez un schéma, avec quatre bascules T et des portes logiques, qui réalise un compteur BCD. Vous avez toutes les portes de base, y compris l'inverseur, à votre disposition. (1 point)

Examen d'électronique numérique, EIDD (Adrian Daerr) — corrigé

mardi 10 janvier 2017, 12h-15h

Dans la réalisation suivante on profite de ce que $T_D = Q_D \cdot Q_A + Q_C \cdot T_C$ pour n'utiliser que des portes à deux entrées:



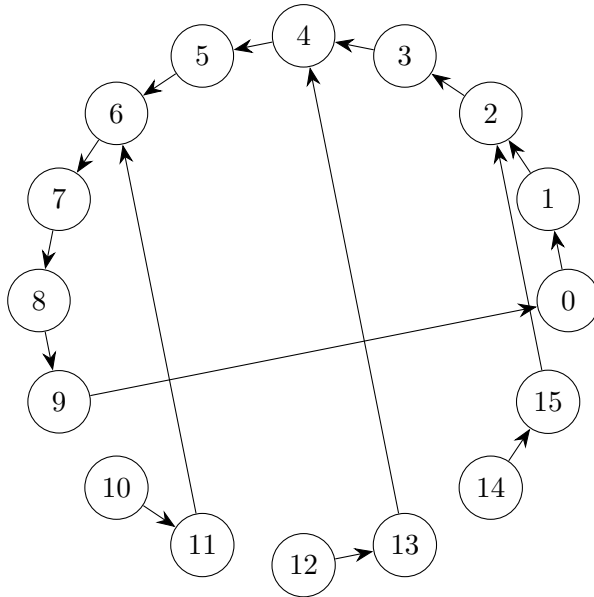
9. Si Δt est le temps qu'il faut pour que la sortie d'une porte ou d'une bascule change suite à un changement à l'entrée (*temps de propagation*), quel est le délai minimum entre deux fronts montants de l'horloge qu'il faut respecter dans votre circuit pour éviter une erreur de comptage? (1 point)

Pour éviter une erreur de comptage il est nécessaire que les entrées T des bascules soient à jour avant l'arrivée d'un nouveau front montant de l'horloge. On voit facilement que c'est le calcul de T_D qui met le plus de temps. En effet, un temps Δt après un front d'horloge, les sorties Q des bascules sont à jour, puis il faut attendre la propagation de l'information à travers trois portes logiques (T_D dépend de Q_B : ce signal doit parcourir deux portes AND et une porte OR), ce qui ajoute encore $3\Delta t$ de délai pour un total de $4\Delta t$. La fréquence maximale de comptage est donc inférieure à $1/(4\Delta t)$. Notons que la réponse dépend de la réalisation: avec une porte AND à trois entrées on peut calculer directement $T_D = Q_D \cdot Q_A + Q_C \cdot Q_B \cdot Q_A$, réduisant le délai minimum à $3\Delta t$, alors qu'en factorisant en $T_D = (Q_D + Q_C \cdot Q_B) \cdot Q_A$ on a de nouveau $4\Delta t$.

10. De même, au bout de combien de temps après le front montant de l'horloge est-on sûr d'avoir la nouvelle valeur du compteur aux bornes $Q_D Q_C Q_B Q_A$? (1 point)

Les sorties sont valables dès que le front d'horloge a mis à jour les bascules, soit un délai de Δt à partir dudit front.

11. Dessinez le graphe de fluence du compteur en représentant tous les 16 états, y compris donc les six valeurs de 10 à 15 non prévues en fonctionnement normal, et les transitions entre ces états provoqués par le front montant de l'horloge. (2 points)



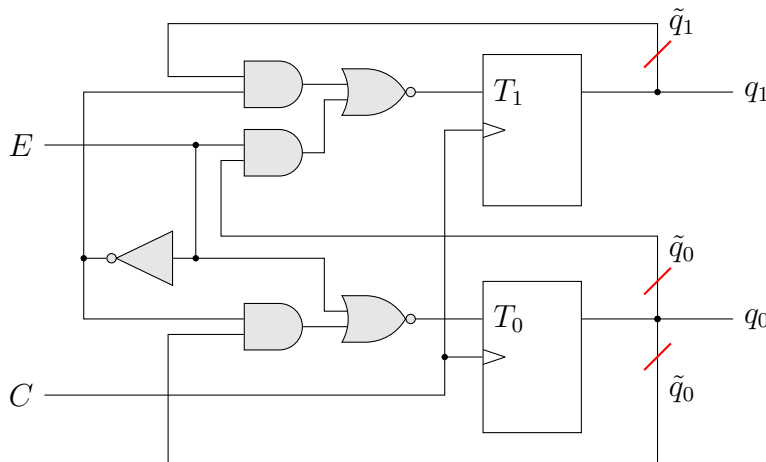
Le cycle $0 \rightarrow 1 \rightarrow \dots \rightarrow 9 \rightarrow 0$ correspond au fonctionnement normal du compteur.

Pour l'évolution des états 10 à 15 le plus simple est de tirer les valeurs associées des T_i des groupes formés dans les diagrammes de Karnaugh (question 7). Les T_i peuvent bien entendu aussi être calculés à l'aide des expressions simplifiées obtenues. Il faut noter en particulier que cette partie du diagramme de fluence peut par conséquent différer selon les simplifications effectuées sur les fonctions logiques!

Ici on peut noter que le compteur affiche une valeur BCD valable au plus deux incréments après une initialisation aléatoire.

Logique séquentielle

Que fait le circuit suivant (les bascules sont de type T) ?



12. À quoi voit-on qu'il s'agit d'un circuit séquentiel (plusieurs réponses possibles) ? (1 point)

- Le circuit comporte des bascules T , qui sont à elles seules des circuits séquentiels.
- Il existe des boucles dans le circuit.

13. Analyser le circuit et établir un tableau décrivant le changement des sorties au front montant de l'horloge C en fonction de la deuxième entrée E et de

variables internes appropriées. Un résumé du comportement des bascules T se trouve dans l'introduction de l'exercice précédent. (2 points)

On peut couper virtuellement les boucles au niveau des sorties q_0 et q_1 (traits obliques dans le schéma ci-dessus), et traiter les retours ainsi isolés, \tilde{q}_0 et \tilde{q}_1 , comme «entrées internes» ou variables internes. On voit alors que les entrées T_0 et T_1 des bascules s'écrivent ainsi:

$$T_0 = E + \overline{E} \cdot \tilde{q}_0$$

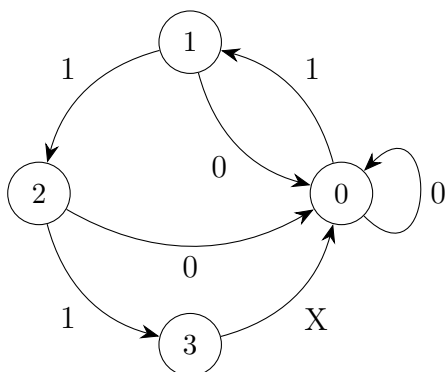
$$T_1 = E \cdot \tilde{q}_0 + \overline{E} \cdot \tilde{q}_1$$

On constate en particulier que pour $E = 0$, $T_0 = \tilde{q}_0$ et $T_1 = \tilde{q}_1$, de sorte que les nouvelles sorties seront nulles après un seul front d'horloge montant sur l'entrée C (puisque les bascules à 1 changent d'état, mais pas celles déjà à 0). Pour $E = 1$ l'une des bascules change toujours d'état ($T_0^{E=1} = 1$) tandis que la deuxième bascule en fonction de l'état de la première ($T_1^{E=1} = \tilde{q}_0$), ce qui correspond au fonctionnement d'un compteur binaire sur deux bits. En résumé, un front d'horloge montant sur l'entrée C produira les sorties suivantes en fonction des entrées $E, \tilde{q}_1, \tilde{q}_0$:

E	\tilde{q}_1	\tilde{q}_0	T_1	T_0	q_1	q_0
0	0	0	0	0	0	0
0	0	1	0	1	0	0
0	1	0	1	0	0	0
0	1	1	1	1	0	0
1	0	0	0	1	0	1
1	0	1	1	1	1	0
1	1	0	0	1	1	1
1	1	1	1	1	0	0

14. Dessiner le graphe d'évolution (graphe de fluence) du circuit et décrire son comportement. À quoi pourrait-il servir ?

Si on nomme les états 0, 1, 2 et 3 d'après les sorties q_1q_0 lues comme nombre binaire, et les transitions d'après l'état de l'entrée E au front montant de l'horloge, on obtient le graphe de fluence suivant:



On voit que pour $E = 1$ le circuit fonctionne comme compteur binaire sur 2 bits, suivant le cycle $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 0$ (la transition $3 \rightarrow 0$ est marquée d'un X car elle aura lieu quelque soit la valeur de E). L'entrée $E = 0$ conduit à l'état 0 au front d'horloge suivant, et le maintient. Le circuit se comporte donc comme un compteur binaire des fronts montants sur l'entrée C , avec une entrée E de remise à zéro synchrone.