Examen électronique 1 EIDD Univ Paris Diderot

Corrigé (Variante D) 2019-1-15

1. $A = ab + \overline{(b+\bar{a}b)\cdot\bar{c}} = ab + \overline{\underbrace{(1+\bar{a})}_{=1}b\bar{c}}$

$= ab + \bar{b} + c$

$= a + \bar{b} + c$

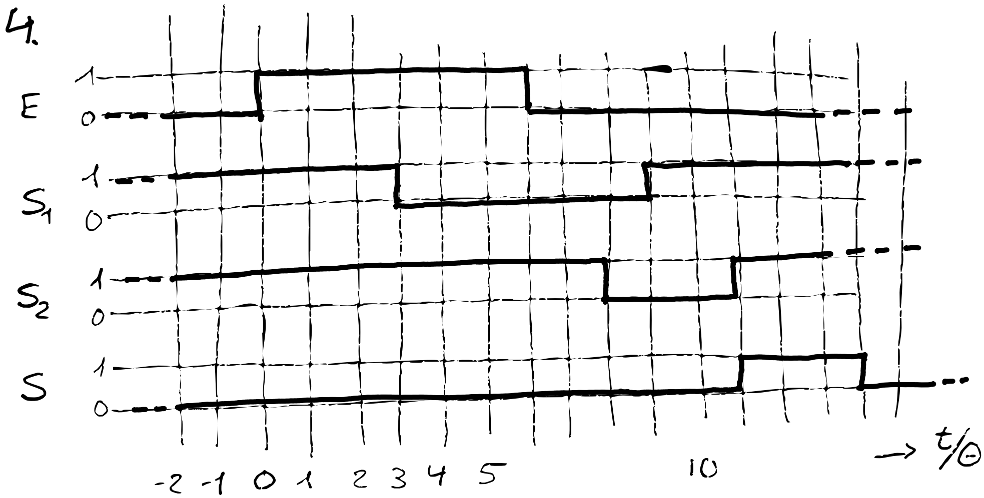
2. Un L logique à la sortie de la porte A correspond à une tension d'au plus $V_{OL}^{A} \leq 0.4V$, et sera donc dans l'intervalle $[GND, V_{IL\,max}^{B}] = [0V, 0.7V]$ que la porte B accepte pour un L.
Un H logique à la sortie de la porte A peut en revanche correspondre à une tension trop basse pour être correctement interprété par la porte B : $V_{OH\,min}^{A} = 3V < V_{IH\,min}^{B} = 3.5V$,
Si la porte logique produit par exemple 3.1 V en sortie pour un H (correct selon les spécificat° de A), alors B verra un état indéfini (car $3.1V < V_{IH\,min}^{B}$)

3. $S_2 = S_1 + E = \bar{E} + E = 1$

$S = \bar{S_2} = 0$

La sortie est toujours L (pour des portes idéales).

4.



Un changement d'état à l'entrée E atteint les deux entrées de la porte OR avec un décalage dû au premier inverseur. Dans l'intervalle $6\Theta < t < 9\Theta$ les deux entrées se retrouvent transitoirement à 0, ce qui fait basculer la sortie de la porte OR et la sortie S un temps de propagation plus tard.

5. L'analyse en q3 ne décrit que l'état stationnaire, les temps de propagat° sont supposés nuls. À la q4 la sortie prend transitoirement la valeur 1, à cause de temps de propagation finis.

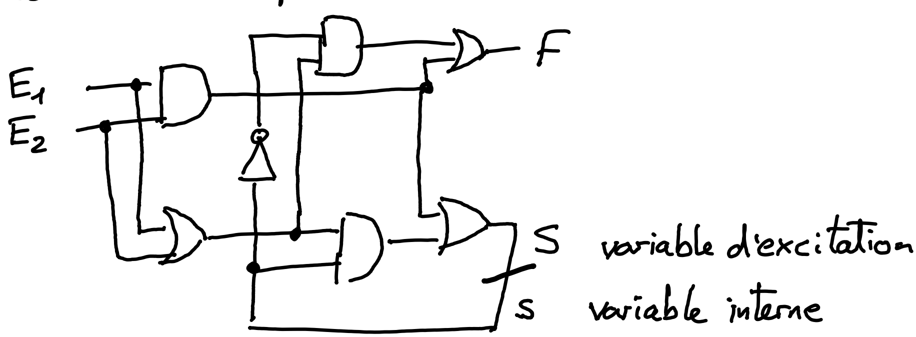
6. La sortie S devient 1 – pendant une durée qui correspond au délai de propagation à travers le premier inverseur – 5Θ après un front $1 \rightarrow 0$ sur l'entrée E. Le circuit peut donc être employé comme détecteur de fronts descendants.

7 a)

a	b	r	R	Σ
0	0	0	0	0
0	0	1	0	1
0	1	1	1	0
0	1	0	0	1
1	1	0	1	0
1	1	1	1	1
1	0	1	1	0
1	0	0	0	1

8. Le circuit comporte une boucle (formée par les deux portes en bas à droite et la connexion S).

9. En coupant la connexion S virtuellement on peut transformer le circuit en circuit combinatoire pour les besoins de l'analyse :



Il n'y a plus de boucle après cette coupure, une variable interne suffit donc à coder la mémoire du circuit.

10. Tableau de Karnaugh pour $S = E_1E_2 + s\cdot(E_1+E_2)$:

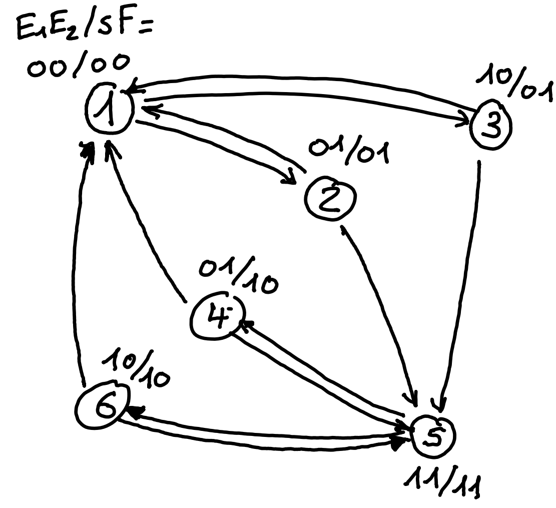
s \ E_1E_2	00	01	11	10
0	0	0	1	0
1	0	1	1	1

11. Un état est stable si la fonction d'excitation produit la valeur actuelle de la variable interne correspondante, donc si $S(E_1, E_2, s) = s$. C'est six fois le cas dans le tableau de Karnaugh de la q. 10 : (cases encerclées et numérotées)

$\boxed{S}$

s \ E_1E_2	00	01	11	10
0	0_1	0_2	1	0_3
1	0	1_4	1_5	1_6

12.



13. La valeur de la sortie $F = E_1E_2 + \overline{S}\cdot(E_1+E_2)$ figure sur le graphe de fluence à la q.12.

Il n'y a qu'un seul état stable pour $(E_1E_2) = (00)$, le point de départ de la séquence est donc bien défini.

La séquence décrit de manière univoque un chemin dans le graphe de fluence, parcourant les états:

$$
\begin{array}{lccccccccccccccccc}
 & 1 & \rightarrow & 2 & \rightarrow & 1 & \rightarrow & 3 & \rightarrow & 5 & \rightarrow & 6 & \rightarrow & 5 & \rightarrow & 4 & \rightarrow & 5 \\
E_1E_2: & 00 & \rightarrow & 01 & \rightarrow & 00 & \rightarrow & 10 & \rightarrow & 11 & \rightarrow & 10 & \rightarrow & 11 & \rightarrow & 01 & \rightarrow & 11 \\
F: & 0 & \rightarrow & 1 & \rightarrow & 0 & \rightarrow & 1 & \rightarrow & 1 & \rightarrow & 0 & \rightarrow & 1 & \rightarrow & 0 & \rightarrow & 1
\end{array}
$$

La dernière ligne ci-dessus indique la valeur de F dans chaque état, y compris les trois derniers de la séquence: $(abc) = (101)$.

On voit que pour $(E_1E_2) = (10)$ la sortie F peut valoir soit $F=1$ (état 3), soit $F=0$ (état 6), F ne peut donc pas être une fonction combinatoire des entrées externes (E_1E_2) uniquement; F doit aussi dépendre d'un état interne, le circuit est donc séquentiel.